

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WAK.080

Record (See the Reference Citation List to obtain the
Citation)

Claim 1

Reason 1

Citations 1 and 2

Remarks:

In the semiconductor device recorded in Figure 4 of Citation 1, a solder bump 14 is directly connected to contact terminal 24 of chip 10, and the contact terminal is recognized as corresponding to the electrode of the invention of the present application. (Moreover, concerning the Japanese translation of Citation 1, reference is made to Citation 8, which is the laid open publication of the Japanese application of the same Citation.)

In the section extending from line 7 to line 12 of column 6 of page 4 of Citation 2, reference is made to the fact that formation may also be made of a stud bump.

Furthermore, in the invention recorded in Citation 1, the making of an Au stud bump in place of a solder bump could be easily accomplished by one skilled in the art.

Claim 1

Reason 1

Citations 2, 3, and 4

As recorded in Citations 3 and 4, the direct formation of a gold stud bump on an aluminum electrode is known and commonly applied technology in the subject technology sector.

Furthermore, in the invention recorded in Figure 2 of Citation 2, in forming a stud bump as the bump 11, forming a gold stud bump directly on electrode 9 could be easily accomplished by one skilled in the art.

Claim 2**Reason 1****Citations 1, 2, 5 and 6****Remarks:**

In Figure 2 of Citation 5, reference is made to the fact that conductive wiring and a bump 3 of a semiconductor element 1 are directly connected to the wiring base material 2 on which conductive wiring 22 is formed in the peripheral border of the aperture 20, and the portion facing the aperture of the semiconductor element is encompassed by sealing resin 41. The wiring base material corresponds to the interposer referred to in the invention of the present application.

In Figure 5 of Citation 6, reference is made to the fact that the TAB wiring pattern and semiconductor element 17 on which is formed a wiring pattern 1 in the peripheral border of the device hole 23 are connected by means of inner lead bonding, and the portion facing the device hole on the semiconductor element is encompassed by resin 18. The TAB corresponds to the interposer of the invention of the present application.

In the invention recorded in Citation 5 and Citation 6, the application of that which is recorded in Citation 1 and Citation 2 as the semiconductor element connected to the interposer could be easily obtained by one skilled in the art.

Claim 3**Reason 1****Citations 1, 2, 5 and 6****Remarks:**

In addition to the comments recorded in the remarks of Claim 2, attaching plastic at the time of making a connection with the solder bump is nothing more than known and commonly applied technology in the subject technology sector.

In Citation 7, reference is made to a semiconductor device which accumulates a chip 2 and two interposers. Pre-attaching an adhesive to the adhesive surface at the time of connecting the respective chip and interposer could be easily accomplished by one skilled in the art on the basis of Citations 1 and 2.

Claim 23

Reason 2

Remarks:

"...ly connected" is recognized as a typographical error; and the invention relating to Claim 23 is unclear.

At the present time, no grounds for rejection have been found with respect to the invention relating to Claims other than those specified within the written Notice of Grounds for Rejection. In the event that further reasons for rejection are discovered in the future, you will be notified of such reasons.

Reference Citation List

1. Pamphlet of International Laid Open Patent Publication 99/04430
2. Japanese Laid Open Patent Publication Hei 11-297750
3. Japanese Laid Open Patent Publication Hei 08264540
4. Japanese Laid Open Patent Publication Hei 11-087425
5. Japanese Laid Open Patent Publication Hei 10-242333
6. Japanese Laid Open Patent Publication Hei 11-135577
7. Japanese Laid Open Patent Publication Hei 10-233414
8. Japanese Laid Open Patent Publication 2001-510944

Reason for final notice of rejection

1. The Notice of Grounds for Rejection is issued only to provide notification of the reason for rejection as necessitated by the amendment submitted at the time of responding to the initial Notice of Grounds for Rejection.

拒絶理由通知書

✓

| | |
|----------|----------------|
| 特許出願の番号 | 特願2000-123306 |
| 起案日 | 平成15年11月20日 |
| 特許庁審査官 | 池渕 立 8831 4R00 |
| 特許出願人代理人 | 開口 宗昭 様 |
| 適用条文 | 第29条第2項、第36条 |

<<< 最 後 >>>

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
2. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項： 1
- ・理由： 1
- ・引用文献番号： 1、 2
- ・備考

引用文献1の図4に記載された半導体装置において、ソルダーバンプ14はチップ10の接触端子24に直接接続されており、上記接触端子は本願発明の電極に相当するものと認められる。(なお、引用文献1の日本語訳については同文献の日本語出願の公開公報である引用文献8を参照のこと。)

引用文献2の第4頁第6欄の第7～12行には、バンプとしてAuを用いたスタッドバンプを生成してもよいことが記載されている。

したがって、引用文献1に記載の発明において、上記ソルダーバンプに代えてAuスタッドバンプとすることは当業者が容易になし得たことである。

- ・請求項： 1

- ・理由： 1

- ・引用文献番号： 2、 3、 4

- ・備考

引用文献3、4に記載のように金スタッドバンプをアルミ電極上に直接形成することは当該技術分野における周知・慣用の技術である。

したがって、引用文献2の図2に記載の発明において、バンプ11としてスタッドバンプを形成するにあたり、電極9上に直接金スタッドバンプを形成することは当業者が容易になし得たことである。

- ・請求項： 2

- ・理由： 1

- ・引用文献番号： 1、 2、 5、 6

- ・備考

引用文献5の図2には、開口部20の周縁部に導体配線22が形成された配線基材2の上記導体配線と半導体素子1のバンプ3とが接続され、上記半導体素子の上記開口部に対向する部分が封止樹脂41によって覆われているものが記載されている。上記配線基材は本願発明のインターポーザに相当する。

引用文献6の図5には、デバイスホール23の周縁部に配線パターン1が形成されたTABテープの上記配線パターンと半導体素子17とがインナーリードボンディングにより接続され、上記半導体素子の上記デバイスホールに対向する部分が樹脂18によって覆われているものが記載されている。上記TABテープは本願発明のインターポーザに相当する。

引用文献5又は引用文献6に記載の上記発明において、インターポーザに接続する半導体素子として、引用文献1又は引用文献2に記載のものを適用することは当業者が容易になし得たことである。

- ・請求項： 3

- ・理由： 1

- ・引用文献番号： 1、 2、 5、 6

- ・備考

請求項2の備考で述べたことに加えて、半田バンプの接着時にフラックスを付着することは当該技術分野の周知慣用の技術にすぎない。

- ・請求項： 23

- ・理由： 1

- ・引用文献番号： 1、 2、 7

- ・備考

引用文献7には、チップ2と2つのインターポーザを積層した半導体装置が記

整理番号:75310456 発送番号:416709 発送日:平成15年11月26日

3/E

載されている。上記チップ及びインターポーザのそれぞれを接続する際に、接着面に予め接着剤層を設けておくことは、引用文献1, 2に基づいて当業者が容易になし得たことである。

- ・請求項：23
- ・理由：2

・備考

「前記的に接続」は誤記と認められる。

よって、請求項23に係る発明は明確でない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 國際公開第99/04430号パンフレット
2. 特開平11-297750号公報
3. 特開平08-264540号公報
4. 特開平11-087425号公報
5. 特開平10-242333号公報
6. 特開平11-135577号公報
7. 特開平10-233414号公報
8. 特表2001-510944号公報

最後の拒絶理由通知とする理由

1. 最初の拒絶理由通知に対する応答時の補正によって通知することが必要になった拒絶の理由のみを通知する拒絶理由通知である。

この拒絶理由通知の内容に関する問い合わせ先

審査第三部電子素材加工 審査官 池渕 立

電話 03-3581-1101 内線3469